

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.


Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problems Mailbox.**

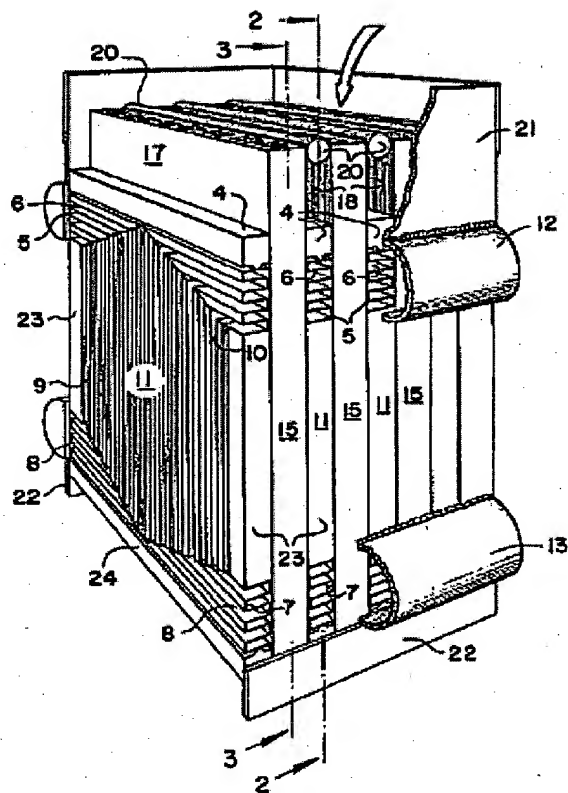
THIS PAGE BLANK (USPTO)

DISK CASH SUBSYSTEM**Patent number:** JP55164958**Publication date:** 1980-12-23**Inventor:** BAATSURAAFU BURADEIMIA HOFUMAI;
RICHIYAADO DEIBITSUDO RAIZA; JIESHII
INGEBURAITO SUTAMUNESU; RIN UERUDON
UITSUTOFUIIRUDO**Applicant:** MEMOREX CORP**Classification:****- international:** G06F13/04; G11B5/09; G11C9/06**- european:****Application number:** JP19800075397 19800604**Priority number(s):** US19790045547 19790604**Also published as:** **US4276927 (A1)**

Abstract not available for JP55164958

Abstract of correspondent: **US4276927**

A plate type heat exchanger is disclosed having flow passages extending beyond the area of heat transfer on at least one end. The extending ends of the flow passages serve as sacrificial inlets for flow of one of two fluids through the heat exchanger so that any leak resulting from flow erosion or from corrosion in the extending flow passages does not result in mixing of the two fluids.



Data supplied from the esp@cenet database - Worldwide

⑫ 公開特許公報 (A)

昭55—164958

⑤ Int. Cl.³
G 06 F 13/04
G 11 C 9/06
// G 11 B 5/09

識別記号

庁内整理番号
7361—5B
7056—5B
7345—5D

⑬ 公開 昭和55年(1980)12月23日

発明の数 1
審査請求 未請求

(全 22 頁)

⑭ ディスク・キャッシュ・サブシステム

⑯ 特 願 昭55—75397

⑰ 出 願 昭55(1980)6月4日

優先権主張 ⑱ 1979年6月4日 ⑲ 米国(US)
⑳ 455476

㉑ 発 明 者 パーツラーフ・ブラディミア・
ホフマイスタ
アメリカ合衆国カリフォルニア
州サラトガ・テレンス・アベニ
ュー12309

㉒ 発 明 者 リチャード・デイビッド・ライ

ザ

アメリカ合衆国カリフォルニア
州サラトガ・ボンネット・ウエ
イ18885

⑳ 出 願 人 メモレックス・コーポレーシ
ン

アメリカ合衆国カリフォルニア
州サンタ・クララ・サン・トマ
ス・アット・セントラル・エク
スプレスウェイ(番地なし)

㉓ 代 理 人 弁理士 山崎行造 外1名
最終頁に続く

明細書の浄書(内容に変更なし)
明 細 書

1. 発明の名称

ディスク・キャッシュ・サブシステム

2. 特許請求の範囲

- (1) データ処理装置とともに使用し、予定データを検索するに要する時間を減少するダイレクト・アクセス記憶装置のキャッシュ・サブシステムにおいて、データを記憶しかつ検索するダイレクト・アクセス記憶装置；前記予定データを記憶するデータ・メモリ装置；前記ダイレクト・アクセス記憶装置、前記データ・メモリ装置、及び前記データ処理装置を相互に結合してこれらの間のコミュニケーションを制御する制御装置であつて、前記予定データを前記データ・メモリ装置から検索するに要する時間が前記予定データを前記ダイレクト・アクセス記憶装置から検索するに要する時間よりも短くし得る制御装置を含有することを特徴とするキャッシュ・サブシステム。

- (2) 特許請求の範囲第(1)項記載のキャッシュ・サ

ブシステムにおいて、前記制御装置を前記データ処理装置に結合する記憶制御装置を含むキャッシュ・サブシステム。

- (3) 特許請求の範囲第(1)項、又は第(2)項記載のキャッシュ・サブシステムにおいて、前記制御装置は前記ダイレクト・アクセス記憶装置を前記データ処理装置に結合するダイレクト・アクセス記憶装置制御器、及び前記データ・メモリ装置を前記ダイレクト・アクセス記憶装置制御器に結合するデータ・メモリ制御装置を含み、前記データ・メモリ制御装置は予定データを前記データ・メモリ装置内に記憶させるように設けられるキャッシュ・サブシステム。

- (4) 特許請求の範囲第(3)項記載のキャッシュ・サブシステムにおいて、前記データ・メモリ制御装置は前記ダイレクト・アクセス記憶装置制御器と前記データ・メモリ装置に結合されるマイクロプロセッサ装置；予定データが前記データ記憶装置内に記憶されるように前記マイクロプロセッサ装置を制御するために前記マイクロプロ

ロセッサ装置に結合される制御記憶メモリ装置
；及び前記データ・メモリ装置内に記憶されて
いる前記予定データのダイレクト・アクセス記
憶装置アドレスを記録するスクラッチ・パッド
・メモリ装置を含むキャッシュ・サブシステム。

(5) 特許請求の範囲第(4)項記載のキャッシュ・サ
ブシステムにおいて、前記データ・メモリ制御
装置と前記ダイレクト・アクセス記憶装置制御
器を相互に結合するインタフェイス制御装置を
含むキャッシュ・サブシステム。

(6) 特許請求の範囲第(5)項記載のキャッシュ・サ
ブシステムにおいて、前記インタフェイス制御
装置は前記データ・メモリ装置と前記データ処
理装置間、及び前記データ・メモリ装置と前記
ダイレクト・アクセス記憶装置間にダイレクト
・メモリ・アクセス・データを転送するダイレ
クト・メモリ・アクセス装置を含むキャッシュ
・サブシステム。

(7) 特許請求の範囲第(4)項記載のキャッシュ・サ
ブシステムにおいて、前記制御記憶メモリ装置

- 3 -

ブシステムにおいて、前記ランダム・アクセス
半導体メモリ装置は少なくとも第1記憶装置と第
2記憶装置を含むキャッシュ・サブシステム。

(11) 特許請求の範囲第(10)項記載のキャッシュ・
サブシステムにおいて、前記第1記憶装置は前
記第2記憶装置よりも速いデータ転送速度を有
し得るキャッシュ・サブシステム。

(12) 特許請求の範囲第(1)項又は第(2)項記載のキャ
ッシュ・サブシステムにおいて、前記予定デー
タは固定フィールド・ディメンジョンであり、
尚固定フィールド・ディメンジョンは前記ダイ
レクト・アクセス記憶装置のデータ・フィール
ド構成に相当するように設けられるキャッシュ・
サブシステム。

(13) 特許請求の範囲第(7)項記載のキャッシュ・サ
ブシステムにおいて、前記データ・メモリ装置
のデータ記憶容量は前記ダイレクト・アクセス
記憶装置の記憶容量よりも小であるように設け
られるキャッシュ・サブシステム。

(14) 特許請求の範囲第(1)項、又は第(2)項、又は第

- 5 -

はマイクロプログラムを含み、前記マイクロプ
ログラムは前記データ・メモリ装置内の記憶情
報がリスト・リーセントリ・ユーズト (LRU)
アルゴリズムに応じて発生するように設けられ
るキャッシュ・サブシステム。

(8) 特許請求の範囲第(4)項記載のキャッシュ・サ
ブシステムにおいて、前記サブシステムは前記
データ・メモリ制御器に結合されるロード/モニ
タ・マイクロプロセッサ装置を含み、該ロード/
モニタ・マイクロプロセッサ装置は前記マイク
ロプロセッサ装置が実行するようにマイクロプ
ログラムを前記制御記憶装置にロードし、前記
ダイレクト・アクセス記憶装置サブシステムの
作動をモニタするキャッシュ・サブシステム。

(9) 特許請求の範囲第(1)項又は第(2)項記載のキャ
ッシュ・サブシステムにおいて、前記データ・
メモリ装置内に含まれる記憶媒体はランダム・
アクセス半導体記憶装置を含むキャッシュ・サ
ブシステム。

(10) 特許請求の範囲第(9)項記載のキャッシュ・サ

- 4 -

(3)項、又は第(4)項記載のキャッシュ・サブシ
ステムにおいて、前記ダイレクト・アクセス記憶
装置は回転磁気ディスク記憶装置を含むキャッ
シュ・サブシステム。

(15) 特許請求の範囲第(14)項記載のキャッシュ・
サブシステムにおいて、前記予定データのユニ
ットが前記回転磁気ディスク記憶装置に記憶さ
れているフル・トラックの情報に相当するよう
に設けられるキャッシュ・サブシステム。

2. 発明の詳細な説明

本発明は回転磁気コンピュータ・ディスク・メ
モリの分野に関する。本発明は、中央処理装置に
よつてしばしば呼び出された情報を、小型の高速
半導体メモリによつてより迅速に検索ができる改
良されたサブシステム機構に関する。

システム 360 の導入以来、IBM 中央処理装置に
入力/出力装置を取付けるための標準構造が確立
された。中央処理装置は「チャネル」を通して周
辺入力/出力装置と連絡している。このチャネル
のインタフェイスによつて、中央処理装置からの

- 6 -

- 7 -

- 9 -

- 8 -

- 10 -

アクセス記憶装置 (DASD) として公知であるが、使用者は必ずしもしばしば典型的なコンピュータ装置に情報をランダムに記憶しかつ検索することはない。実際、ディスク記憶装置は特定のデータ群についてしばしば時間的に「密集 (clustered)」する。このことは、ディスク記憶装置の特定の情報トラックがしばしばアクセスされ又は新たに更新されて、該像バイトの他の情報を排除することになる。従つて、「キャッシング (caching)」の概念は、より頻繁に呼び出される情報が呼び出され、はるかに大容量のダイレクト・アクセス記憶装置中に存在するほとんど全ての他の情報を排除する確率でその情報を高速バッファに記憶する装置に従来発展されて来た。

カル (Calle) に対する米国特許第 4,075,686 号及びシューネマン (Scheuneman) に対する米国特許第 4,070,706 号は共に、システムの性能を高めるために、優先順位の情報を迅速に呼び出すことのできるキャッシュ・メモリを利用するシステム・コンフィギュレーションを記載している。しかしな

-11-

「ページ (page)」に適用する要件について詳しく述べている。「ページ (page)」とはコンピューター工業において、システム制御プログラミング・システム又はシステム制御オペレーティング・システムによつて指示された一定の大きさの予め定められたブロックであると理解される。

一般に、システム・コントロール・プログラミング・システム又はシステム・コントロール・オペレーティング・システムのコンフィギュレーションで使用される仮想記憶又はバーチャル・メモリ技術の導入によつて、高速記憶の概念がもたらされた。この概念は、中央処理装置 (CPU) の頻繁に使用される情報へのアクセスをより迅速とするために使用されるもので、CPU による大容量ダイレクト・アクセス記憶装置へのアクセスを要求するのとは異なる。より大きなディスク・メモリと組合せて高速キャッシュ・メモリを利用する一般に記載されるページング・システムはスミス (Smith) に対する米国特許第 3,647,348 号に記載されている。更に、「見かけ記憶 (apparent store)」

-13-

特開昭55-164958(4)

から、カルら及びシューネマンは高速半導体キャッシュ・メモリを通常のディスク・ストリング構成に適用することについては詳しく記載も示唆していない。チャーチル (Churchill) に対する米国特許第 3,949,369 号には、高速キャッシュ・バッファを利用するデジタル・コンピューティング・システムが記載されている。チャーチルは、キャッシュ・バッファ中の情報が使用の頻度に基づく情報に関して優先順位システムが確立されるように実際に構成されていることを示唆している。最も頻繁に使用される情報は最高の優先順位を受容し、一方最も使用頻度の低い情報は最低の優先順位を受容する。もし、高速キャッシュ・メモリ及びその空間内に記憶する必要のある新たな情報が利用できない場合は、キャッシュ・バッファ中に存在する最も使用頻度の低い情報を消去する。リスト・リーセントリ・ユーズド (LRU) アルゴリズムの概念はコードらに対する米国特許第 3,737,881 号において研究されている。コードらはキャッシング概念を高速磁気バブル・ドメインの情報の「ペ

-12-

の概念は、イーデン (Eden) に対する米国特許第 3,569,938 号によつて示されている。この特許においては、CPU の性能を高めるために、高速記憶を CPU と、はるかに大きな主記憶との間の中間バッファとして使用している。しかしながら、先に詳述した全ての文献は、ディスク・ストリングに有効に適用される LRU アルゴリズムを利用する高速半導体キャッシュ・メモリを応用することについては、開示も示唆もしていない。

本発明 (以後、時々「ディスク・キャッシュ」又は「ディスク・キャッシュ・サブシステム」と呼ぶ) はディスク・ドライブのストリングのディスク制御装置に設置された高速半導体メモリ装置を利用して、頻繁に要求されるデータへのアクセスを、従来のかかる装置を使用しないで達成できるよりも迅速に行なえるようにするものである。ディスク・キャッシュは 4 つの主要構成要素から成っている：

1. ディスク制御装置に対するインタフェース
2. キャッシュ・コントロール・マイクロプロセ

-14-

ツサ

3. ロード/モニタ・マイクロプロセッサ

4. キャッシュ・メモリ

インタフェイス(1)はディスク制御装置内のディスク・キャッシュを接続するためのコントロールバス電子工学及びデータ・バス電子工学から成っている。かかる場合には、記憶制御装置はディスク・キャッシュ又はディスク・ストリングのいずれかに運送することができる。更に、ある条件の下では、ディスク・キャッシュはディスク・ストリングが直接ディスク・ドライブと運送するように制御することもできた、記憶制御装置を「ストリング・ビジー(string busy)」の状態におくこともできる。また、ディスク・キャッシュがストリング・システムから効果的に分りされて、記憶制御装置の指令が単にディスク制御装置からディスク記憶装置へ「パス・スルー(pass through)」できるようにする。

キャッシュ・コントロール・マイクロプロセッサ(2)は基本的に高速ビット・スライス・マイ

-15-

ディスク・キャッシュ・サブシステムはマイクロプログラムの制御下にある。好適な実施例においては、リスト・リーセントリ・ユーズド(略して、LRU)アルゴリズムをプログラムして、ディスク・キャッシュが最も頻繁にアクセスされるデータ・モジュールを記憶したキャッシュ・メモリから活性の低いデータ・モジュールを消去するようにする。

もしデータ・モジュールがディスク・キャッシュ内にあり、このことがCPUにより望まれるならば、そのデータ・モジュールはディスク・キャッシュから記憶制御装置へ、更にはCPUへ直接転送される。かかるデータの転送はディスクの回転に依存せず、従つて、情報がデータ・チャネルによつてだけ制限される速さで、「ダイレクト・メモリ・アクセス」を通してディスク・キャッシュ・メモリから記憶制御装置へ転送されることはディスク・キャッシュ・サブシステムの利点である。

更に、もし特定のデータ・モジュールがキャッシュ・メモリ内にあり、そのデータ・モジュール

-17-

クロプロセッサ、スクラッチ・パッド・メモリ及び記憶レジスタの組立体である。キャッシュ・コントロール・マイクロプロセッサは、記憶制御装置の指令に対するディスク・キャッシュの応答及びキャッシュ・メモリ内のデータ・モジュールの記憶を制御するためのマイクロプログラムを使用するディスク・キャッシュ・サブシステムの中心構成要素である。

ロード/モニタ・マイクロプロセッサ(3)は、キャッシュ・コントロール・マイクロプログラムを外部記憶媒体から書き込み可能制御記憶メモリへ移送するように設計されている構成要素の組立体である。

キャッシュ・メモリ(4)は、中央処理装置によつて最も頻繁に要求される情報を記憶するために使用される高速半導体メモリである。キャッシュ・コントロール・マイクロプロセッサはどの情報を記憶すべきか決定するとともに、その情報がディスク記憶装置上に設置されたときにデータ・モジュール・アドレスのトラックを保持する。

-18-

の一部がCPUによつて要求されるならば、ディスク・キャッシュの概念によつて、データ・モジュール内において直接望ましい情報へスキップできるという利益が生ずる。このデータ・スキッピングの利益は、データ・モジュールが、ディスクの回転に依存するというよりも単なるアドレスの選択によつてアクセスされるランダム・アクセス半導体メモリ内にあることにより得られる。

従つて、本発明の目的は、コンピュータ・システムの中央処理装置が今まで以上に頻繁に使用されるデータに迅速にアクセスできるようにすることである。

本発明の今一つの目的は、マイクロプロセッサの制御の下に高速半導体メモリを利用して、頻繁に使用される情報を記憶することである。

更に、今一つの目的は、アルゴリズムに従つて、キャッシュ・メモリ内の情報の記憶を制御することである。

更に、本発明の今一つの目的は、ディスク・キャッシュをディスク・ストリングのディスク制御

-18-

装置に設置して、ディスク・キャッシュが記憶制御装置と作用し、かつディスク記憶装置と連通できるようにすることである。

好ましい実施態様

その内容：

1. 一般
2. ディスク・キャッシュ・ハードウェア
3. ディスク・キャッシュ・オペレーショナル・ハードウェア・モード
4. ディスク・キャッシュ・サブシステム・ソフトウェア
5. 記憶管理
6. タグ・ゼロ指令
7. 可変データ速度

1. 一般

第1図（先行技術）を参照すると、公知のデータ処理システムが、メモリ・バス(4)を経由してメイン・メモリ(6)と連絡している中央処理装置(2)を有するものとして図示されていることが分る。中央処理装置(2)は別に入力/出力バス又は

-19-

キャッシュ・サブシステムが第1図に示される従来のサブシステムと類似していることが分る。しかしながら、ディスク・キャッシュ(16)は構成要素系において、キャッシュCTLインタフェイス(78)を経由してディスク制御装置(20)に取付けられている。實際上、ディスク・キャッシュ(16)はドライブ・コントローラ・ロジック(第6図の62)及びディスク駆動装置(14)の前に位置している。ディスク・キャッシュ(16)は、典型的なディスク・システムとして例示されるゆつくりした方の型の記憶と、メイン・メモリ(6)で例示される早い方の型の記憶との間の記憶系のレベルを示している。ディスク・キャッシュ(16)はデータ・モジュールを処理するために利用される内部情報を含む。このデータ・モジュールは取付けられたディスク制御装置(20)と取付けられたディスク・ドライブ(14)のストリングとによつて分担されている。ここで使用するデータ・モジュールは固定ブロック又はいくつかの便宜上の大きさのデータ単位に対する一般的な用語である。

-21-

特開昭55-164958(6)

チャネル・バスにそつて記憶制御装置(10)と連絡している。データをディスク記憶媒体から検索し又は、その媒体に書き込みたいと望むときには中央処理装置(2)は適当な指令を発する。その指令は記憶制御装置(10)によつてアドレスされる装置の型に特有の一連の指令に翻訳される。この場合、記憶制御装置(10)は中央処理装置(2)からの指令をディスク制御装置(12)の理解できる指令に翻訳する。記憶制御装置(10)はシステムCTLインタフェイス(13)にそつてディスク制御装置(12)と連絡している。記憶制御装置(10)からの指令は更に翻訳されかつディスク制御装置(12)によつて実施されて、特定の情報がディスク駆動インタフェイス(15)を経由して、ディスク・ドライブ(14)へ書き込み又はディスク・ドライブ(14)から検索される。ハードウェア・インタフェイス及びデータを含む先行技術のコンピュータ構成の定義及びコントロール・ラインの定義は上述の引用文献に記載されている。

第2図を参照すると、本発明のディスク・キャ

-20-

ディスク・キャッシュ(16)は、ディスク制御装置(20)及びディスク・ドライブ(14)と連通すると、ディスク・ドライブ(14)の回転速度に対して制限された速度で入力/出力オペレーションを行なう。しかしながら、記憶制御装置(18)とディスク・キャッシュ(16)との間の入力/出力操作は、以下の可変データ速度の章で更に十分説明する先行技術のコンフィギュレーション及び構成で可能である転送速度よりもはるかに速い転送速度（これは、低下した「待ち時間」に相当する）で行なわれる。

CTLインタフェイス(78)を経由してディスク・制御装置(20)とディスク・ドライブ(14)のストリングとに接続されるように設けられたディスク・キャッシュ(16)を含む第2図のサブシステムにおいては、操作は一般に以下の通り行なわれる。

データ検索操作については、CPU(2)はチャネル・バス(8)を通して記憶制御装置(18)に対し、ディスク・ドライブ(14)上の一定のデータ・モジュールの入力/出力を要求する。記憶制御装置(18)はCPU(2)の要求をディスク・キャッシュ(16)に

-22-

よつて受容し得る一群の指令に翻訳する。第5図を参照すると、もし要求されたデータ・モジュールがディスク・キャッシュ(16)内のキャッシュ・メモリ(54)中に存在するならば、それはシステムCTLインタフェイス(13)及びキャッシュCTLインタフェイス(78)を経由して記憶制御装置へ転送される。もし、要求されたデータ・モジュールがキャッシュ・メモリ(54)内に存在しないときは、ディスク・キャッシュ(16)はキャッシュCTLインタフェイス(78)及びバス(15)を経由してディスク制御装置(20)を通してディスク・ドライブ(14)から要求されたデータ・モジュールを検索しそしてディスク・キャッシュ(16)のキャッシュ・メモリ(54)内にそれを記憶する。要求されたデータ・モジュールはディスク・キャッシュ(16)内のディスク・キャッシュ・メモリ(54)から記憶制御装置(18)へ転送される。なお、ディスク・キャッシュ操作の順序は本発明の特定の実施態様に応じて変化し、その順序は明らかにマイクロプログラムに依存している。

- 23 -

おいては、中央処理装置(36)は適当な情報を含み入力/出力バス(13)を通してディスク・キャッシュ(16)と直接連通することができる。ディスク・キャッシュ(16)はその後ディスク制御装置(20)及びコントロール入力/出力バス(15)を通してディスク・ドライブ(14)と連通する。

従つて、最も一般的な実施態様においてディスク・キャッシュは一定の環境の下で従来達成することができないような高速度で入力/出力サブシステムから情報を検索できるようにする入力/出力サブシステム構成内に挿入された、知的でディスク型特有でかつ高速なメモリである。

2. ディスク・キャッシュ・ハードウェア

ここで開示するディスク・キャッシュ・サブシステムは、ハードウェア及びソフトウェア技術を組合わせて上述の望ましい目的を達成する装置である。この装置の特定の実施については多くの形態がある(この場合は、ハードウェアである)が、好適であることが分つている第2図のディスク・キャッシュの実施態様については第5図に示して

- 25 -

もし中央処理装置(2)が記憶媒体に情報を更新したい場合(即ち、「書き込み」型の要求)、かかる情報の記憶又は更新がディスク制御装置(20)を通してディスク・ドライブ(14)で直接行なわれるか又はその情報をディスク・キャッシュ(16)のディスク・キャッシュ・メモリ(54)へ直接更新し若しくは書き込むことができる(ディスク・キャッシュ・サブシステム操作の順序はマイクロプログラムに依存している)。もしかかる情報が直接ディスク・キャッシュ・メモリ(54)に書き込まれる場合、その情報は永久記憶用のディスク・ドライブ(14)に通常遅れて転送される。

一定のデータ処理構成において、記憶制御装置を使用しなくてもよいこと、またその記憶制御装置の情報又は関数を中央処理装置内に設置することも本発明の範囲内である。第4図を参照すると、ディスク・キャッシュ(16)がキャッシュCTLインタフェイス(78)を経由し適当なデータ制御バス(13)にそつて直接中央処理装置(36)と連通することも本発明の範囲内である。この実施態様に

- 24 -

いる。ディスク・キャッシュ・サブシステムの主要なハードウェア構成要素が、インタフェイス・コントロール・ロジック(48)、ディスク・キャッシュ、ディスク・キャッシュ・コントロール・マイクロプロセッサ(50)、ロード/モニタ・マイクロプロセッサ(52)及びキャッシュ・メモリ(54)から成つていることが分る。

第1の主要なハードウェア構成要素は、ディスク・キャッシュ・コントロール・マイクロプロセッサ(50)とディスク制御装置(20)との間のインタフェイス(48)である。キャッシュCTLインタフェイスはディスク・キャッシュ・サブシステムのアタッチメント装置を第6図に示されるディスク制御装置に提供する機能を果たす。この制御装置は、メモレンクス公報3673.21-03で一般に定義されるメモレンクス3673ディスク記憶制御装置のような型のものである。第6図に示されるように、ディスク制御装置(20)はディスク・キャッシュ(16)がインタフェイス(58)の付加によつてディスク制御装置のCTLインタフェイス内に取付けられるよう

- 26 -

に変形されている。ここで、インタフェイス(58)がストリング・スイッチ(68)の後のシステム・CTLインタフェイス(13)と、ドライブ・コントローラ・ロジック(13)との間に位置していることに注目すべきである。CTLライン(64)はストリング・スイッチ(68)をキャッシュ・インタフェイス(58)に接続し、CTLライン(34)はドライブ・コントローラ・ロジック(62)をキャッシュ・インタフェイス(58)に接続する。既述の特定の実施態様においては、メモレックス3673ディスク制御装置がメモレックス公報3673.21-03で記載されているようにストリング・スイッチ(68)を備えることが必要である。キャッシュ・インタフェイス(58)は、CTLインタフェイスによつて要求されるデータ・バス及びコントロール・ラインを提供する。キャッシュ・コントロール・ライン(70)によつて、ディスク・キャッシュ・サブシステムはディスク制御装置内のストリング・スイッチを制御できる。CTLインタフェイスへの十分なアクセスはシステムCTLライン(72)によつてディスク・キャッシュ中に提供さ

- 27 -

(1)第6図のキャッシュCTLインタフェイス(70)からのコントロール及びデータ転送指令に対する応答、

(2)第5図及び第7b図(以下で記述)のキャッシュ・メモリ(54)内にある利用可能なデータのディレクトリの維持、

(3)最も要求されると思われるディスク・ドライブ・データによるキャッシュ・メモリ(54)の制御及び充填(以下で記述する)、

(4)エラー検出及びリカバリ操作、及び

(5)性能データのロード/モニタ・マイクロプロセッサ(52)への通信、

がある。

ディスク・キャッシュ・サブシステムの望ましい実施例における第3のハードウェア構成要素は、第5図におけるロード/モニタ・マイクロプロセッサ(52)である。前記ロード/モニタ・マイクロプロセッサ(52)のために、インテル8080Aマイクロプロセッサを採用することが適切であることが判明している。前記インテル8080Aは毎秒200万

- 28 -

れまたキャッシュCTLライン(74)によつてディスク・キャッシュから提供される。

ディスク・キャッシュ(16)の第2の主要なハードウェア構成要素は第5図(より詳しくは第7b図)のディスク・キャッシュ・コントロール・マイクロプロセッサ(50)である。特定の実施態様において、第7b図のマイクロプロセッサ(76)として、1秒当たり4,000,000の命令の許容量を有する高速ビット・スライス・マイクロプロセッサを使用することが好適であると分つた。この特定の実施態様に対しては、LSIプロセッサ・チップのアドバンスド・マイクロ・デバイス2900ファミリ(Advanced Micro Devices 2900)から発展した市販のマイクロプロセッサを使用することが好適であることが分つた。しかしながら、他の多くのプロセッサの設計は、ディスク・キャッシュ・タスクを扱うことのできるディスク・キャッシュ・サブシステムの発明の範囲内である。ディスク・キャッシュ・コントロール・マイクロプロセッサ(50)の基本タスクは、

- 28 -

サイクルの割で作動する完全な8ビットの中央並列処理装置である。

前記インテル・マイクロ・プロセッサの代りに用いることが出来、経済的に利用可能な他のマイクロプロセッサも存在する。前記ロード/モニタ・マイクロプロセッサ(52)の基本的作業は、(1)フレキシブル・ディスク・ドライブ(84)(後述する)より得られたコントロール・メモリ・インフォメーションの負荷制御と、(2)前記ディスク・キャッシュ・サブシステムの効率モニタ作業を行うことである。

第5図に示された前記ディスク・キャッシュ・サブシステムの最後の主要なハードウェア構成要素は前記キャッシュ・メモリ(54)である。前記ディスク・キャッシュの望ましい実施例において、前記キャッシュ・メモリ(54)は2つの種類の半導体メモリで構成されている。半導体メモリの第1の種類の、第7b図に示されているフル・トラック・バッファ(86)である。本発明の思想からは必ずしも規定されるものではないが、2つの種類の

- 30 -

半導体は、キャッシュ・メモリ(54)から構成されており、また同じく、本発明の思想から必ずしも規定されるものではないが、ディスク・キャッシュ(16)により記憶される情報片はフル・トラックのディスク・ドライブ・データであるが、前記ディスク・キャッシュのハードウェアをそのように形造ることが便利であるということが判明している。

このように、第1の種類の半導体メモリ、即ち前記フル・トラック・バッファ(86)は、少なくとも1つのフル・トラックのディスク・ドライブ・データを含んでおり、種々のスタティック又はダイナミックなランダム・アクセス・メモリ・チップから構成することができる。前記フル・トラック・バッファ(86)はインテル2147又はインテル2117の集積回路から構成されるのが適切であるということが判明している。第2の種類のキャッシュ・メモリ(54)は低速装置で形成されており、電荷移送素子(CDD'S)は前記キャッシュ・メモリ(54)の低速水準用として採用され成功している。

- 31 -

めのロジックとキャッシュCTLインターフェイス(78)のための制御信号を包含する2つのインターフェイス・コントロール印刷回路盤
記憶制御：記憶要求ロジックと、キャッシュ・メモリ(54)と記憶

ユニット・ダイレクト・メモリ・アクセス 90 98
：制御ユニット(18)の間のデータ転送制御のためのアドレスとワードの計算器を包含する典型的なDMA(ダイレクト・メモリ・アクセス)、ポートデータ・バッファとして用いられる2つの16バイト×8のFIFO(FIRST IN FIRST OUT)キャッシュ・コントロール・マイクロプロセッサ・メモリ

書き込み可能制御記憶装置 100：キャッシュ・コントロール・マイクロプロセッサ(76)のコントロールメモリとして利用される4K×40ビットのインテル2147スタティックRAMメモリ
オンラインレジスタ 102：コントロール・レジスタで、そのビットがオペレータ・パネル(104)からのオンライン・スイッチによつ

- 33 -

特別の実施例においては、12メガバイトまでの電荷移送素子が、フェアチャイルドF464の電荷移送素子を用いた型に採用されて来た。(各装置は最高64,000ビットの情報を記憶することができる。)現に、前記キャッシュ・メモリ(54)は実際に2つの種類のスリー・メモリ階層構造のディスク・キャッシュ・サブシステムであり、その中において記憶の第1の水準は前記ディスク記憶装置(14)であり、その次のメモリの2つの種類は上述した半導体メモリである。以下に述べる通り、前記キャッシュ・メモリ(54)の機能は、当該コンピュータ・システムによつて要求される靈活性が最も高いディスク・ドライブ・データを記憶するアルゴリズムに応じてディスク・ドライブ・データを記憶することである。(下記に詳述する。)

第7a及び第7b図を参照すれば、ディスク・キャッシュ(16)の主要なハードウェア構成要素のより詳細な定義が判る。第7a及び第7b図の記載を理解するために以下の定義が有益である。

インターフェイス 90：情報バスを発生させるた

- 32 -

て設定されるもの

キャッシュ・コントロール・マイクロプロセッサ(76)はいかなるドライブがキャッシュされるべきかを決定するために、このレジスタをモニタする。

オペレータ・パネル 104：入力スイッチと各ドライブのためのキャッシュ可動スイッチを包含している。

ドライブ・ダイレクト・メモリ・アクセス 94：記憶要求ロジックと、キャッシュ・メモリ(54)とディスクドライブ(14)の間のデータ転送を制御するためのアドレスとワードの計算器を包含する典型的DMA(ダイレクト・メモリ・アクセス)ポート

キャッシュ・コントロール・マイクロプロセッサ 76：AMD 2900ファミリのLSIプロセッサ・チップを利用した毎秒400万命令を処理するビット・スライス・マイクロプロセッサ
ロード/モニタマイクロプロセッサ 82：基本的構成要素としてインテル8080A単一チップ

- 34 -

CPUを有するマイクロプロセッサ

2メガヘルツで作動し、記憶制御のため、2K×8のEPROMを有する。

スクラッチ・パッド 96：キャッシュ・コントロール・マイクロプロセッサ(76)を支持するための8K×16のスタティックRAMメモリ

スクラッチ・パッド：ロード/モニタ・マイクロプロセッサ(82)との交信のための

フレキシブルディスク・ドライブ 84：マイクロプログラム・ロードのために用いられるフレキシブル・ディスク・ドライブ

標準型のメモレックス550型を利用可。

エラー・コレクション・コード 106(ECC)：単一ビット・エラー・コレクション及び二重ビット・エラー・デテクションに用いられるエラー・デテクション・コレクション・ロジック(“ハミング・スキーム”)

フル・トラックバッファ 86：インテル2147チップを使用した4K×40ビット(ECCを含む)のスタティックRAMメモリ

-35-

B-バス 144：フル・トラック・バッファ(86)によりアクセス・ECCロジック(106)に使用されるトライステート・データ・バス

メモリ・アドレス・バス 148：キャッシュ・コントロール・マイクロプロセッサ(76)によりアドレス・書き込み可能制御記憶(100)に使用されるメモリ・アドレス・バス

パイプライン：パイプライン・インストラクション・バスで、それにより、

バス 150：キャッシュ・コントロール・マイクロプロセッサ(76)が書き込み可能制御記憶(100)から、そのマイクロインストラクションを得て、スクラッチ・パッド(98)と交信するパイプライン・インストラクション・バス

キャッシュ・バス・イン 150：8ビットの“バス・イン”データ・バス(8 Bit “bus-In” Data Bus)これはキャッシュからシステムSCUヘデータを転送するためのシステムCTLライン72データ・バス・インである。

バス・イン 152：8ビットの“バス・イン”データ

-37-

特開昭55-164958(10)

電荷移送素子メモリ 88：フェアチャイルドCCDを用いた1乃至12メガバイトのCDDメモリ

基本データバス 108：SCU又はドライブDMAポートとフル・トラック・バッファ(86)の間のデータ転送のための二方向データ・バス

基本アドレス・バス 110：SCU DMA(92)又はドライブDMA(94)からフル・トラック・バッファ(86)へ供給されるトライ・ステート・メモリ・アドレス

C-バス 138：フル・トラック・バッファ(86)とCCDメモリ(88)の間のデータ転送のための二方向データ・バス

C-バス 140：キャッシュ・コントロール・マイクロプロセッサ(76)に利用される全ての外側ポートのためのトライステート・ソース・バス

Y-バス 142：キャッシュ・コントロール・マイクロプロセッサ(76)に利用される全ての外側ポートのためのトライステート・デステイネーション・バス

-36-

バス(8 bit “bus-In” data bus)これはディスク・ドライブからキャッシュ・メモリヘデータを転送するために用いられるキャッシュ・CTLライン74データ・バス・イン

バス・アウト 156：8ビット“バス・アウト”即ちデータ転送及びシステムSCU(18)からディスク・キャッシュ(16)への制御指令データのために用いられるシステムCTLライン72“バス・アウト”

キャッシュ・バス・アウト 158：8ビット“バス・アウト”、即ち、ディスク・キャッシュ(16)がディスク・ドライブ(14)を制御する際にデータと制御指令のために用いられるキャッシュCTLライン74バス・アウト

CTLライン 160：インターフェイス90ロジックにおいて発生するCTLインターフェイス制御ライン

キャッシュ・コントロール・ライン 70：希望のインターフェイス・コミュニケーション・パスを選択するために第6図のインターフェ

-38-

イス(58)のマルチプレクサの切換を制御するためにインタフェイス・ロジック内でキャッシュ・コントロール・マイクロプロセッサ(76)により発生せしめられる一組の制御信号

BC_{1xx} : 第7b図において、BC_{1xx}として示される全ての線は、バス又はコントロール・コミュニケーション・パスが存在していることを示しているが、ここでは明確には定義しない。

本発明を更に十分説明するために、第6、第7a及び第7b図は、第3図に示すように配置される。

第7a及び第7b図に関し、マイクロプロセッサ(76)はディスク・キャッシュ(16)の制御構成要素である。マイクロプロセッサ(76)は、トライステートの16ビットのデータ・バス(140)を経由して全てのエクスターナル・データを受け入れ、16ビットのトライステート・アウト・プット・データ・バス(142)を経由して全てのエクスター

-39-

サ(76)はメモリ・アドレス・バス(146)を経由して書き込み可能制御記憶(100)をアドレスする。スクラッチ・パッド(96)は、その時点においてキャッシュ・メモリ(54)の中に滞在している一連のディスク・ドライブ・トラック・アドレスを記憶するため、主にマイクロプロセッサ(76)により使用される。スクラッチ・パッド(96)に記憶されている前記トラック・リスト・アドレスは、キャッシュ・メモリ(54)内のデータがアクセスされるのに応じて、検索されマイクロプロセッサ(76)によりダイナミックに新しくされる。

マイクロプロセッサ(76)はスクラッチ・パッド(96)をアクセスするためにD-バス(140)とY-バス(142)を用いる。更に、他の関連あるディスク・キャッシュ・コントロールデータは、ディスク・キャッシュ・マイクロプログラム(後述する)によつて規定されるスクラッチ・パッド(96)内に記憶される。マイクロプロセッサ(76)はまた、当該ストリング上のどのディスク・ドライブ(14)が「キャッシング」を受けやすいかを決定して、オ

-41-

ナル・ポートへ書き込む。上述の如く、ディスク・キャッシュ・サブシステムの基本的な機能の一つはデータ転送と第2図のシステム記憶制御ユニット(18)から、キャッシュCTLインタフェイス(78)を経由して受け入れられる制御指令に回答することである。前記キャッシュ・コントロール・マイクロプロセッサ(50)は、インタフェイス・コントロール・ロジック(48)から順番に前記キャッシュCTLインタフェイス(78)までから受け入れたシステム指令をモニタする。キャッシュ・コントロール・マイクロプロセッサ(50)は、インタフェイス・コントロール・ロジック(48)の中の制御記録装置に適切な応答をセットすることにより指令に回答する。これらの指令は、さらに、先行技術に規定されているCTLインタフェイス規格により要求されて、キャッシュCTLインタフェイス(78)へゲートされる。

マイクロプロセッサ(76)は、書き込み可能制御記憶(100)からパイプライン・バス(148)に沿つてマイクロ指令を受け入れる。マイクロプロセッサ

-40-

ンライン・レジスタ(102)の中にその情報を統合する。前記記憶制御ユニット・ダイレクト・メモリ・アクセス(92)とドライブ・ダイレクト・メモリ・アクセス(94)は前記フル・トラック・バッファ(86)と前記システム記憶制御ユニット(18)とディスク・ドライブ(14)の各々の間のデータ転送のため用いられる。前記ダイレクト・メモリ・アクセス・ポートはD-バス(140)とY-バス(142)を経由して、マイクロプロセッサ(76)によりプログラムされ、モニタされる。

フル・トラック・バッファ(86)は、前記基本アドレス・バス(110)を経由してアドレスされ、その内容は、基本データ・バス(108)を経由していずれかのダイレクト・メモリ・アクセス・ポートへ向け、又はそこから転送される。

フル・トラック・バッファ(86)とCCDメモリ(88)は共通のエラー発見及び訂正ロジック(106)を共有している。フル・トラック・バッファ(86)とCCDメモリ(88)の間のデータ転送は、当業界においてマイクロプロセッサ(76)により制御される2方向

-42-

C-バス(183)を経由するダイレクト・メモリ・アクセスタイプの作動として知られているものに関する。更に、キャッシュ・コントロール・マイクロプロセッサ(50)は、Y-バス(142)経由の前記電荷移送素子メモリの中に包含される前記ダイレクト・メモリ・アクセス・ロジックをプログラムする。

3. ディスクキャッシュ操作ハードウェア方式

ディスク・キャッシュの概念を多数の構成装置に実施することは可能であるが、特に適したものとして知られた構成装置は公知のIBMサブシステムのチャネル制御装置機構と調和するものである。第8図において、記憶制御装置(18)はシステムCTLインタフェイス(13)を経てディスク制御装置(20)に接続される。ディスク制御装置(20)はキャッシュCTLインタフェイス(78)を通じてディスク・キャッシュ(16)に接続される。ディスク制御装置(20)はインタフェイス(15)を通じてディスク駆動機構(14)に接続される。簡略化するために、インタフェイス(13)、(15)、(78)はディスク制御装置(20)

- 4 3 -

ディスク制御装置(20)からインタフェイス(78)を通じてディスク・キャッシュ(16)に転送される。タグゼロ指令はディスク・キャッシュ(16)からインタフェイス(78)を通じてディスク制御装置(20)に伝送されるとともにインタフェイス(13)を通じて記憶制御装置(18)に伝送される。このように、タグゼロモードは、タグゼロ指令を除くすべてのタグ指令がディスク駆動機構(14)に転送されるが、ディスク制御装置(20)がタグゼロ指令をインタフェイス(78)を通じてディスク・キャッシュ(16)へ転送するハードウェアモードとして理解されよう。タグ・ゼロ指令はディスク・キャッシュ(16)からインタフェイス(78)を通じてディスク制御装置(20)に伝送されるとともにインタフェイス(13)を通じて記憶制御装置(18)に伝送されるから、タグ・ゼロモードはタグゼロ指令がディスク・キャッシュに転送されることを除いては、タグ指令が本発明のディスク・サブシステムにおいて従来の方式と同様に操作されるハードウェアモードとして理解されよう。

- 4 5 -

内の点610で相互に接続されるように図示される。点610は硬質電線接続体でなくて、以下に説明されるように、ハードウェア操作モードに従って変化する結合体である。

ディスク・キャッシュ(16)を操作するのに基本的に4個のハードウェア操作モードがあり、これらは本発明を実施する場合に適した記憶制御装置(18)からの指令によつて決定される。すなわち、

(1) タグ・ゼロモード

第9図に図示されるタグゼロモードにおいて、タグ・ゼロ指令を除くすべてのタグ指令(以下に記載される文節の表題では単にタグゼロ指令と記す)は記憶制御装置(18)からインタフェイス(13)を通じてディスク制御装置(20)に、またバス(15)を通じてディスク・ドライブ(14)に転送される。タグ・ゼロ指令を除くすべての指令に対して、ディスク・キャッシュ(16)は事実上ストリング上に存在しない。しかしながら、タグ・ゼロ指令は記憶制御装置(18)からインタフェイス(13)を通じてディスク制御装置(20)に転送されるけれども、デ

- 4 4 -

(2) 記憶制御装置(SCU)モード

ディスク・キャッシュ(16)がSCUモード(第10図)の時は、すべてのタグ指令は記憶制御装置(18)からインタフェイス(13)を通じてディスク制御装置(20)に、またインタフェイス(78)を通じてディスク・キャッシュ(16)に転送される。このディスク・キャッシュ(16)はマイクロプログラムの「アクティブ」ステートにある(後述のソフトウェアの記載参照)。SCUモードにおいては、記憶制御装置(18)とディスク駆動機構(14)との間との間の通信伝達是不可能的である。これはディスク・キャッシュ(16)の基本操作方式である。

(3) 制御モード

このハードウェアモードにおいては、第11図に図示されるディスク・キャッシュ(16)がディスク制御装置(20)及びディスク駆動機構(14)にそれぞれインタフェイス(78)、(15)を通じて直接に接続される。このモードでは、記憶制御装置(18)はディスク制御装置(20)に対して「不通」状態にある。これは記憶制御装置(18)とディスク制御装置(20)との間のインタフ

- 4 6 -

エイス(13)は接続作用を采さないことを意味する。ディスク・キャッシュ(16)はディスク・ストリング・サブシステムの制御を事実上奪取して該サブシステムの操作を制御する。

(4) 貫通モード

第12図に図示される貫通モードは記憶制御装置(18)とディスク駆動機構(14)との間をディスク制御装置(20)を介してそれぞれのインタフェイス(13)、(15)により直接に通信伝達させるハードウェアモードである。この操作モードでは、インタフェイス(78)を通じてディスク・キャッシュ(16)にタグ指令は全く伝達されない。このディスク・キャッシュとディスク記憶ストリング・サブシステムとは事実上接続されず、記サブシステムはディスク・キャッシュ(16)が切断されているかのように振舞う。

前述されたようなハードウェアの諸操作モードは一体的に作用し、キャッシュ制御マイクロプロセッサ(50)中にあるサブシステム・マイクロプログラムの制御を受ける。後記の「ディスク・キャ

- 47 -

の望ましいマイクロプログラム・ステートが例示される。すなわち(1)待ちステート(400)、(2)選択ステート(414)、(3)アクティブ・ステート(424)及び(4)パッシブ・ステート(432)。

待ちステート(400)において、ディスク・キャッシュ及びディスク・サブシステム全体は記憶制御装置(18)とディスク制御装置(20)との間のシステムCTLインタフェイス(13)が静止していることによつて証明されるような「静止」コンディションにある。第13図に図示されるように、待ちステート(400)はCTLインタフェイス(78)の選択保持線の状態から始まる無限プログラミングループと解釈される。上記選択保持線が低い、すなわち「no」コンディション(402)にあるならば、マイクロプログラムは「走査タイムアウト」(404)に対する調時を開始する。もし、ディスク・キャッシュ・サブシステムが「静止」コンディションに止まつて走査タイムアウトが作動して「yes」コンディション(406)にあるならば、ディスク・キャッシュ・サブシステムは走査処理(408)のモード

- 49 -

「タグ・サブシステム・ソフトウェア」の項に記載されるように、適当なタグ・ゼロ指令が記憶制御装置(18)によつて発信されることにより、マイクロプログラムが後述のマイクロプログラム状態から変化してサブシステムのハードウェア操作モードで変化する。

4. ディスク・キャッシュ・サブシステム・ソフトウェア

この発明によるディスクキャッシュの概念は種々の方法で実施されうる。特に適した実施例では、前述のハードウェアはマイクロプロセッサ(76)によつて指定される書き込み可能な制御記憶装置(100)にディスク駆動機構(84)に送られるマイクロプログラムと関連して作用する。この発明の好適実施例におけるマイクロプログラムにおいては、所望の装置機能のソフトウェア・コンディションを示す4個の「ステート」を作用する。ここで「ステート」とは外部入力によつて変化することがなければマイクロプログラムのコンディションが変化しないことを意味する。第13図において、4個

- 48 -

に入り、ここでディスク・キャッシュの内部「ハウス・キーピング」機能が作動する。走査処理(410)が完了すると、マイクロプログラムは待ちステート(400)に復帰し、第6図におけるシステムCTLインタフェイス(13)上の選択保持状態を再び監視し制御する。走査処理(408)はマイクロプログラムが「安定」コンディションに入る「ステート」ではない。すなわち、走査処理(408)はプログラミングが常に終端コンディションに向つて進みかつ待ちステート(400)に復帰する作用に過ぎない。走査処理は前述のハードウェア制御モードに類似のマイクロコードの作用であり、待ちステート(400)はハードウェア・タグ・ゼロ・モードとして理解されよう。

選択保持線が待ちステートの間に高くなつて「yes」ステート(412)になると、ディスク・キャッシュ・マイクロプログラムは「選択」ステート(414)に入る。「選択」ステート(414)は選択保持線が高いステート、すなわち記憶制御装置が駆動機構に接続されたすべてのストリングにその中

- 50 -

の1個を選択することを通告するステートとして定義される。選択ステート(414)の間は常に選択保持線のコンディションが監視される。選択保持線が「低い」ステートに進む時は、選択保持は「インアクティブ」ステートとなり、第13図に図示される「yes」(416)のステートによつてディスク・キャッシュ・マイクロプログラムは待ちステート(400)に復帰する。もし、選択保持線が「高い」ステート、すなわちインアクティブ・ステート(418)のままである時は、マイクロプログラムはタグ・ゼロ指令が第6図のキャッシュCTLインタフェイス(78)上あるのを監視する。タグ・ゼロ「アクティブ」指令を受信しない(420)ならば、マイクロプログラムは、「選択」保持が「インアクティブ」ステートすなわちマイクロプログラムが待ちステート(400)に復帰するステートに進むのでなければ「選択」ステートに停止する。もし、タグ・ゼロ駆動指令を受信する(422)ならば、マイクロプログラムは「アクティブ」ステート(424)に入る。選択ステート(414)は待ちステート(400)

-51-

の場合のようにハードウェア・タグ・ゼロ・モードである。

「アクティブ」ステート(424)は、記憶制御装置(18)がすでに特定の駆動制御装置(20)を通してあるマイクロプログラム・コンディションとして定義される。上記制御装置(20)及びディスク・ストリング・サブシステムにディスク・キャッシュ(16)が持続されるならば、タグ・ゼロ「アクティブ」指令によつてディスク・キャッシュ・マイクロプログラムは「活動化」される。「アクティブ」ステート(424)において、ディスク・キャッシュは記憶制御装置(18)及び該装置内でのデータ処理操作につで発生するすべての命令を阻止及び又は受信する。これは「キャッシュ」ステートと称してもよく、主キャッシュ操作ステートとして理解されよう。ハードウェアにおいては、前述されたように「記憶制御装置モード」である。「アクティブ」ステート(424)の間に、タグ・ゼロ「パッシブ」指令(425)がディスク・キャッシュ・マイクロプログラム(426)によつて受信されない時は、

-52-

ディスク・キャッシュはディスク・キャッシュ指令(428)を実行する。第13図に図示されるようなディスク・キャッシュ指令(428)の実行は「ステート」ではなく、正しくは機能を実行するマイクロプログラムのコンディションであり、完了後に、マイクロプログラムは「アクティブ」ステート(424)に復帰する。キャッシュ指令の実行はハードウェアにおいては「記憶制御装置モード」と考えられる。「アクティブ」ステート(424)の間に、タグ・ゼロ「パッシブ」指令が受信される(430)時は、マイクロプログラムは「パッシブ」ステート(432)に入る。

「パッシブ」ステート(432)は、記憶制御装置(18)がディスク記憶装置(14)と直接に通信伝達するマイクロプログラム・コンディションとして定義される。このコンディションは、ディスク・キャッシュがすべての命令を受信し、記憶制御装置(18)とディスク記憶装置(14)との間で直接に全く通信伝達がない「アクティブ」ステート(424)と区別されることに注意されたい。「パッシブ」ス

-53-

テート(432)の開始前に、記憶制御装置(18)は特定復号化のタグ・ゼロ指令を発生させてディスク・キャッシュ・マイクロプログラムを「パッシブ」ステートとし、記憶制御装置(18)とディスク駆動機構との間を直接に通信伝達させる(タグ・ゼロ「パッシブ」指令(430))。「パッシブ」ステート(432)において、ディスク・キャッシュ(16)はタグ・ゼロ指令を常時監視する(ハードウェア・タグ・ゼロモード)。タグ・ゼロ「アクティブ」指令が第13図に「yes」(434)で図示されるように受信されるならば、ディスク・キャッシュ(16)は「アクティブ」ステート(424)に復帰する。タグ・ゼロ「アクティブ」指令(437)が「パッシブ」ステート(436)の間に受信されるならば前述の選択保持線の状態が監視される。もし、選択保持が「パッシブ」ステートの間に「アクティブ」すなわちyes(439)に進むならば、ディスク・キャッシュ・マイクロプログラムはタグ・ゼロ「アクティブ」指令を受信しうる状態になる。実際にタグ・ゼロ「アクティブ」指令が受信(すなわちyes(434))される

-54-

と、ディスク・キャッシュ(16)は「アクティブ」ステート(424)に復帰する。選択保持線が「低い」すなわち no(440)に進むとディスク・キャッシュは充塡処理(442)を行なう。

「パッシブ」ステート(432)は前述されたハードウェアタグゼロモードであるが、充塡処理(442)はハードウェア制御モードである。充塡処理(442)の間に、ディスク・キャッシュ(16)はディスク記憶装置のストリングを制御して、磁気ディスク(14)にのみ存在しうる情報をフルトラック・バッファ(86)に充塡する。充塡処理(442)の間に、フルトラックの情報はディスク記憶装置(14)からフルトラック・バッファ(86)に転送される。フルトラック・バッファ(86)に転送されるべきトラックは最も新しく要求されたものであるから、該トラックは第7b図のスクラッチ・パッド・メモリ(96)にある記憶管理テーブルに前記トラックの状態を受取る。さらに、このトラックテーブル・エントリは前記メモリ中で、ディスク装置の叙、シリンダの位置及びヘッドアドレスに関してフルトラッ

- 55 -

ク・バッファ(86)に入れられたトラックに適合するように調節される。充塡処理(442)の完了後に、マイクロプログラムは待ちステート(400)に復帰して、再び選択保持線の状態を監視する。「ハードウェア」においては、充塡処理(442)が開始されるとディスク・キャッシュはディスク・ストリング・サブシステムを制御する。充塡処理(442)の間に、記憶制御装置(18)はディスク・ストリングと通信伝達せず、「ストリング不通」コンディションがストリングに取付けられた記憶制御装置に対して存在する。

従つて、ハードウェアとディスク・キャッシュ・サブシステムのマイクロプログラムとは一体的に以下のように応答することが理解されよう。

時間 T_0 : 選択保持「アクティブ」がディスク・キャッシュ(16)によつて記憶制御装置(18)から受取られる。

時間 T_1 : タグゼロ指令が記憶制御装置(18)から受信される。

時間 T_2 : キャッシュ・マイクロプログラムは

- 56 -

(必要に応じて)ステートを変化させる。

時間 T_3 : キャッシュはハードウェアが方式を変化することを要求する。

時間 T_4 : 機能が実行される(マイクロプログラムは新ステートにあり、ハードウェアは新モードにある)。

時間 T_5 : 処理は第13図に図示されるように必要に応じて進行する。

この発明のディスク・キャッシュ・サブシステムを実施するに適した実施例は誤り訂正装置その他のプログラミング修正装置を含有して操作性を高めている。マイクロプログラムに対する適当な論理構成は前述されるとともに第13図に図示されている。

5. 記憶装置管理

ディスク・キャッシュ・サブシステムはキャッシュ記憶装置を管理するために一般に第7b図のスクラッチ・パッド(96)内にあるテーブルを使用する。本発明では、目的を達成するために多数の

- 57 -

インプリメンテーションが可能であるが、望ましいディスク・キャッシュ機構内で特に記憶装置を管理することが適しているものと知られた。キャッシュ・メモリ(54)内にあるデータモジュールは任意寸法の別個の情報装置から形成せられるけれども、望ましい実施例においてはCCD記憶装置(88)はフルトラックの情報を含む。この情報はメモレックス3670及び3675のディスク記憶装置の場合には13030個の情報バイトに達する。各データトラックはディスク駆動機構(14)から移入される。CCD記憶装置(88)及びフルトラック・バッファ(86)内に記憶される各データトラックは該データの管理に対する必要性によつて作られたマイクロプロセッサ(76)に使用されるテーブル中に対応エントリを有する。

ディスク・キャッシュ・スクラッチパッド(96)は3個の形式の記憶装置管理テーブル、すなわちダイナミック・テーブル、トラック・ロック・テーブル及びからの記憶装置のリストを管理する。上記ダイナミック・テーブルはキャッシュ記憶装

- 58 -

置(54)の使用基準に従つて逐次的に更新される。この目的のために公知のLRU算法を使用することが有利である。上記トラック・ロック・テーブルはCCD記憶装置(88)中キャッシュ記憶装置(54)に「ロック」される部分のためのパラメータを含む。この説明においては、トラックをキャッシュ中に「ロック」するとは、データトラックが上記ダイナミック・テーブルの場合のような算法に基づいて置換されないことを意味する(すなわち、キャッシュ記憶装置(54)中に永久に存在する)。上記からの記憶装置のリストはCCD記憶装置(88)内に利用空間のトラックを保持するテーブルである。からの記憶装置を表示するテーブルの内容は現在使用されておらず、従つてディスク駆動機構(14)からのデータで充填されるべく利用される記憶装置である。

キャッシュ記憶装置(54)中に記憶されたすべてのデータトラックはダイナミック・テーブル内の対応エントリーを有し、各エントリーは複数のパラメータ又は項目を有する。2個のパラメータ

-59-

たデータトラックとなる。この算法は周知のもので、最新使用トラックがキャッシュ記憶装置中にあるが低活動性のデータトラックはキャッシュ記憶装置(54)からはずされる。

ダイナミック・テーブルはまた特定のディスク記憶装置から充填された、すなわち同じディスク記憶装置アドレスを有するデータトラックをリンク連結するリンク・ポインタを含有する。これらのテーブルは、最新使用及び最も古く使用されたリンクエージ情報が更新される時に更新される。このようにして、特定のトラックのキャッシュ記憶装置(54)を探索する作業は、特定のトラック用の記憶制御装置フエツチが特定のディスク記憶装置を特定することが常に知られているので簡略化される。かくして、最近使用トラック及び最も古く使用されたトラックのテーブルを、該テーブルが特定のディスク記憶装置によつてリンク連結されるならば、探索することはかなり簡略化される。勿論、ただ1個のディスク記憶装置が所望の時間内に収められているならば、キャッシュ記憶装置(54)

-61-

は上記テーブルをトラックの最も新しい用法及び最も古い用法に基づいてリンク連結する。データトラックがキャッシュ記憶装置(54)から要求される度ごとに、このトラックに關係する項目が上記リストの頂部におかれ(すなわち最も新しく使用される)、リストの底部の項目は最も古く使用されたものとなる。他のパラメータはディスク記憶装置(14)に於て特定のシリンドラドレス、ヘッドアドレス及び装置アドレスへのディスクトラックに關する情報を含む。これらと一踏に作用して、アドレス・ポインタがダイナミック・テーブルの項目を公知のリンク連結技術によつてリンク連結する。

キャッシュ記憶装置(54)が充填され、他のデータトラックをディスク記憶装置(14)からキャッシュ記憶装置(54)に充填する必要がある時は、テーブルの底部にある最も古く使用されたデータトラックは該テーブルからはずされ、ディスク記憶装置(14)から丁度充填された新しいデータトラックはテーブルの頂部におかれて最も新しく使用され

-60-

の全内容を探索する必要があるけれども、1個以上のディスク駆動機構が内蔵されているならば、著るしい探索経路が実現せらる。

6. タグ・ゼロ指令

IBM社の対応ディスク記憶装置サブシステムの標準的な構成によれば、「タグ」指令として知られているある種の指令が用いられ、これによつて記憶制御装置(18)はシステムCTLのインタフェイス(13)に設けられる駆動制御器(20)に通じる。システムCTLインタフェイス、タグ指令、或はバス・イン・ライン、バス・アウト・ライン等の完全な定義はメモレックス社の「ディスク記憶サブシステム操作理論」3673/3675/3670(出版番号第3673.21-02)を参照されたい。しかし、記憶制御装置の標準的な構成の中で、ディスク・キャッシュ(16)を含むディスク記憶サブシステムを作動し制御することはできない。ディスク・キャッシュの発明の概念を利用するためには、特定のタグ指令を発生したり利用したりし、その指令が前述のようにディスク・キャッシュ(16)論理を作動し、

-62-

よつてキャッシング操作を行うようにしなければならない。タグ指令は随意の数において用いることができるが、重要なことはディスク・キャッシュを付勢するために特に選ばれたタグ指令が莫然としたものでなく、かつディスク I/O サブシステムの構成内に與つた意味としてデコードされた他のタグ指令と混同されないようにしておく点にある。好ましい実施例によれば、カッシー機能を始動させるタグ指令としては、バス・アウトに可変値を有するタグ・デコード 00 (hex) を用いることが望ましいことが判明した。タグ・ゼロ指令を記憶制御装置 (18) からディスク・キャッシュ (16) が受けると、ディスク・キャッシュはディスク・サブシステムを制御し、上述のようにあらゆる必要な操作を遂行する。対応する IBM 社の入力/出力サブシステムの定義によれば、タグ・デコード 00 は未使用の CTL タグ・アウト・バス (タグ・ビット 0, 3, 4, 5, 6, 7, 全て 0 に相当) で、これは CTL バス・アウトのラインに用いられる。

可変データ速度

- 63 -

度の特徴を知るには、まず先行技術が与えた諸制約を理解する必要がある。第 14 図を参照すると、先行技術による SYNC IN と SYNC OUT が記載されている。基本的なタイミング関係はエッジ (200)、(204) 間、エッジ (204)、(208) 間、及びエッジ (208)、(212) 間によつて設定される。これらのパルス間の時間は均等で、回転ディスク・メモリ上にサーボ・エンコードされた情報によつて直接形成されるクロッキング・パルスによつて制御される。エッジ (200)、(201) 間、エッジ (204)、(205) 間、エッジ (208)、(209) 間、及びエッジ (212)、(213) 間の時間は第 1 図のディスク・ストリング制御器 (12) 内のハードウェアによつて制御される。SYNC IN パルス (200, 204, 208, 212) の先行エッジと SYNC OUT パルス (202, 206, 210, 214) の先行エッジ間の時間関係、及び SYNC IN パルス (210, 205, 209, 213) の後端エッジと SYNC OUT パルス (203, 207, 211, 215) の後端エッジ間の時間関係は記憶制御装置 (10) 内の CTL ケーブル・ディレーとハードウェア・ディレーによ

- 65 -

第 2 図に一般的に図示し、以上述べてきたように、ディスク・キャッシュ・サブシステム構成によつて、可変データ速度と称される効率的な作用を得ることができる。可変データ速度によれば、チャンネルにデータをデータ自身の速度で転送することができ、従来のようにディスク記憶装置の回転速度に依存してディスク記憶装置と制御装置間に転送するために設定されたデータ速度に限定されることはない。ディスク・キャッシュ (16) の適当な実施例によれば、フル・トラック情報が第 7 b 図に示すフル・トラック・パツファ (86) 内に記憶され、該情報を中央処理装置が必要とした場合には、ディスク・キャッシュ・サブシステムとチャンネル間のデータ転送レートは一定データ速度である必要はなく、回転媒体によるデータ転送速度によつては制御されることがない。キャッシュ CTL インタフェイス (78) のデータ転送速度が一定である必要がないので、チャンネルの転送速度が制御要因となる。

ディスク・キャッシュ (16) 宛の可変データ速

- 64 -

つて制御される。SYNC OUT パルス [(202) と (203) 間の時間関係、(206) と (207) 間の時間関係、(210) と (211) 間の時間関係、及び (214) と (215) 間の時間関係] の先行エッジと後端エッジ間の時間は、記憶制御装置 (10) 内のハードウェア、及び SYNC IN 内のディレー認識装置によつて制御される。

可変データ速度の概念を用いると、従来の SYNC IN と SYNC OUT の関係とは著しく異なる連続パルスが得られる。可変データ速度の概念を用いると、SYNC IN パルスの先行エッジは SYNC OUT パルスに關して反復的な連続関係を生じない。第 15 図を参照すると、位置 (216)、(220) 間、及び位置 (220)、(224) 間の時間はディスク・キャッシュ (16) のハードウェアの転送速度、及び電子制御によつて制御されるものであり、ディスク記憶装置の回転速度によつて制御されるものではない。エッジ (216)、(220) 間、及びエッジ (220)、(224) 間の時間は、公知の SYNC IN パルスの連続体として示される第 14 図のエッジ (200)、(204) 間、

- 66 -

エッジ(204)、(208)間、及びエッジ(208)、(212)間の時間よりも小であることに注目されたい。すなわち、可変データ速度の下での転送速度は先行技術の速度よりも速い。なぜなら、転送速度はディスク・キャッシュ(16)の電子装置によつて制御されるからであり、機械的な回転要素によつて制御されるものではないからである。

エッジ(224)、(228)間、及びエッジ(228)、(232)間の時間はSYNC OUTの後端エッジの電子制御によるモニターによつて制御される。SYNC OUTの後端パルスのエッジ(227)、(231)が確認できればエッジ(224)、(228)間、及びエッジ(228)、(232)間の一時的関係が制御される。SYNC INパルスのエッジ(228)、(232)は、SYNC OUTパルスの後端エッジ(227)、(231)が確認された後においてのみ発生する。SYNC OUTパルスの後端エッジ(227)、(231)は各先行エッジ(226)、(230)からかなり遅延して示されている。なぜなら、エッジ(227)、(231)は、内部記憶制御装置のデータ・バッファが他のCTLデータ転送に使用しえないと

- 67 -

位置(216)、(218)間、位置(220)、(222)間、位置(224)、(226)間、位置(228)、(230)間、及び位置(232)、(234)間の時間は、CTLケーブル・デイレ、及び記憶制御装置のハードウェア・デイレ、すなわちライン・ドライバ、ライン・レシーバ、から成る。

先行技術の場合と同様に、SYNC INとSYNC OUTの一時的関係、エッジ(217)、(219)間の時間、エッジ(221)、(223)間の時間、及びエッジ(233)、(235)間の時間は同じく内側バッファや記憶制御装置ライン・ドライバ/ライン・レシーバのデイレを利用できるか否かをモニターするための記憶制御装置ハードウェア・デイレ、及びCTLケーブル・デイレを含む。先行技術には見られなくて可変データ速度装置の特徴をなすものは、チャネルのデイレによつてエッジ(225)、(227)、及びエッジ(229)、(231)間が付加的に遅延されて情報のバイトを転送する(すなわち、内側記憶制御装置のデータ・バッファを使用し得るようになる)。位置(216)、(217)、位置(220)、(221)、

- 68 -

特開昭55-164958(18)

きは常に記憶制御装置のハードウェアによつて遅延されるからである。内部記憶制御装置データ・バッファは、CTLデータ転送速度がチャネル・データ転送速度を超えると使用できなくなる。従つて、ディスク・キャッシュ・サブシステム究明における可変データ速度の例によれば、SYNC OUTパルスの先行エッジ(226)と後端エッジ(227)間の時間、及びSYNC OUTパルスの先行エッジ(230)と後端エッジ(231)間の時間は、チャネル・データ転送速度がCTLデータ転送速度と同等か、それを超えるに要する時間を含む。従つて、CTLデータ転送速度とチャネル転送速度間には「同期」作用が存する。データ転送速度は「可変」である。従つて、エッジ(224)、(228)間、及びエッジ(228)、(232)間の時間は、サブシステム・ハードウェア、ライン・ドライバとライン・レシーバを含むCTLケーブル、及びディスク・キャッシュ・メモリと電子制御が生じた遅延時間から成る。先行技術の装置の場合と同様に、SYNC INパルスの先行エッジとSYNC OUTパルスの先行エッジ間(すなわち、

- 68 -

位置(224)、(225)、位置(228)、(229)、及び位置(232)、(233)間の時間は、良好な形態を具えかつ十分持続時間を有するパルスを発生するように設けられるディスク・キャッシュ(16)によつて制御される。

従つて、ここに示した可変データ速度によれば、公知技術ではなし送けられない速度でデータをディスク・キャッシュ(16)とチャネル(8)間で転送し得ることが理解できよう。データ転送速度は本質的にチャネル(8)のデータ速度によつて制御される。

4. 図面の簡単な説明

第1図は従来のコンピュータ・システムの略図であり、第2図はディスク・キャッシュ・システムを使用するコンピュータ・システムの略図であり、第3図は第6図、第7a図及び第7b図の組立体を示す図であり、第4図はディスク・キャッシュを、記憶制御装置を使用しないコンピュータ・システムに適用した場合の別の実施態様の略図であり、第5図はディスク・キャッシュの主要ハ

- 70 -

速度特徴に対する SYNC IN / SYNC OUT パルスのパルス・トレイン図である。

2, 36 ... 中央処理装置

10, 18 ... 記憶制御装置

12, 20 ... ディスク・制御装置

14 ディスク・ドライブ

16 ディスク・キャッシュ

52 ロード/モニタ・マイクロプロセッサ

58, 90 ... インタフェイス

特許出願代理人

弁理士 山 崎 行 造

ードウェア構成要素の略図であり、第6図は、ディスク・キャッシュのディスク制御装置へのインタフェイスの略図であり、第7a図はディスク・キャッシュ・インタフェイス・コントロール・ロジックの略図であり、第7b図はキャッシュ・コントロール・マイクロプロセッサ、ロード/モニタ・マイクロプロセッサ及びキャッシュ・メモリの略図であり、第8図はディスク・キャッシュの実施されたハードウェア・コンフィギュレーションであり、第9図はハードウェア・コントロールに関するタング・ゼロ・モードの図であり、第10図はハードウェア・コントロールに関するSCUモードの図であり、第11図はハードウェア・コントロールに関するコントロール・モードの図であり、第12図はハードウェア・コントロールに関するパス・スルー・モードの図であり、第13図はディスク・キャッシュのマイクロプログラムの流れ図であり、第14図は先行技術の SYNC IN / SYNC OUT パルスのパルス・トレイン図であり、及び第15図はディスク・キャッシュの可変データ

-71-

-72-

図面の浄書(内容に変更なし)

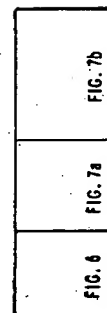
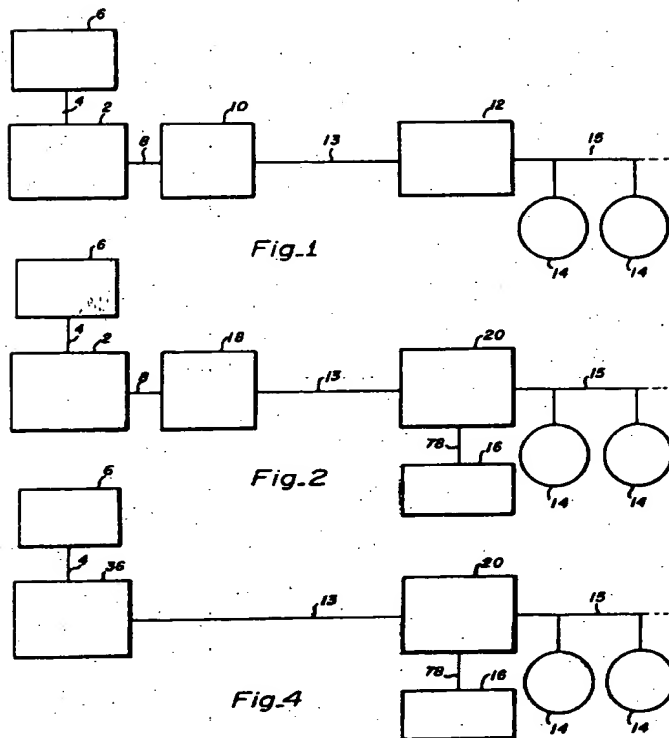


Fig. 3

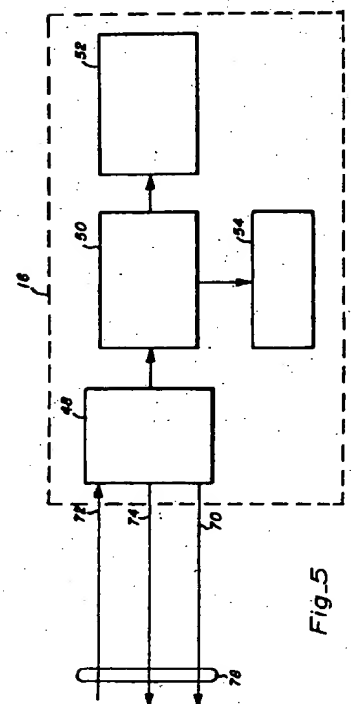


Fig. 5

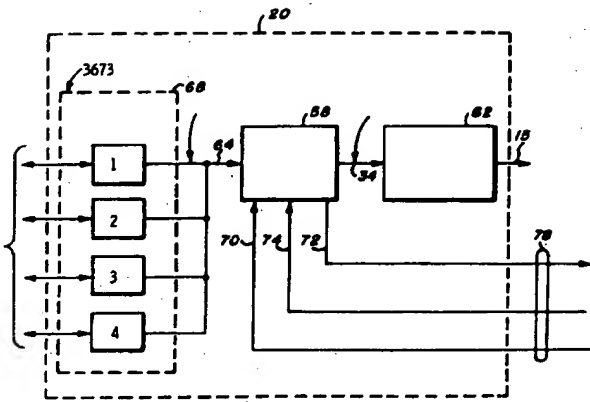


Fig. 6

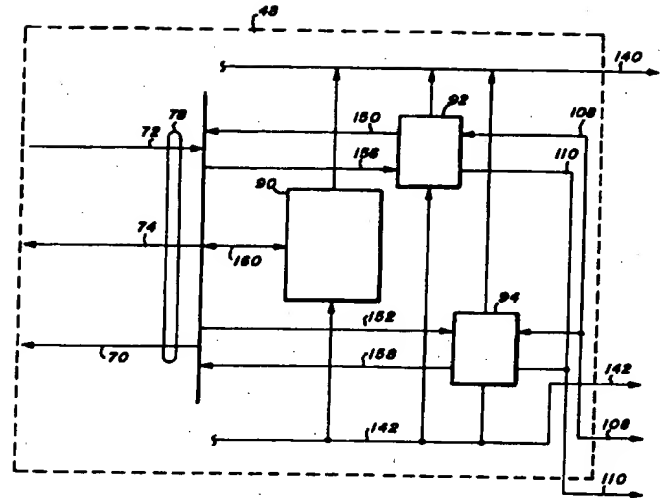


Fig. 7a

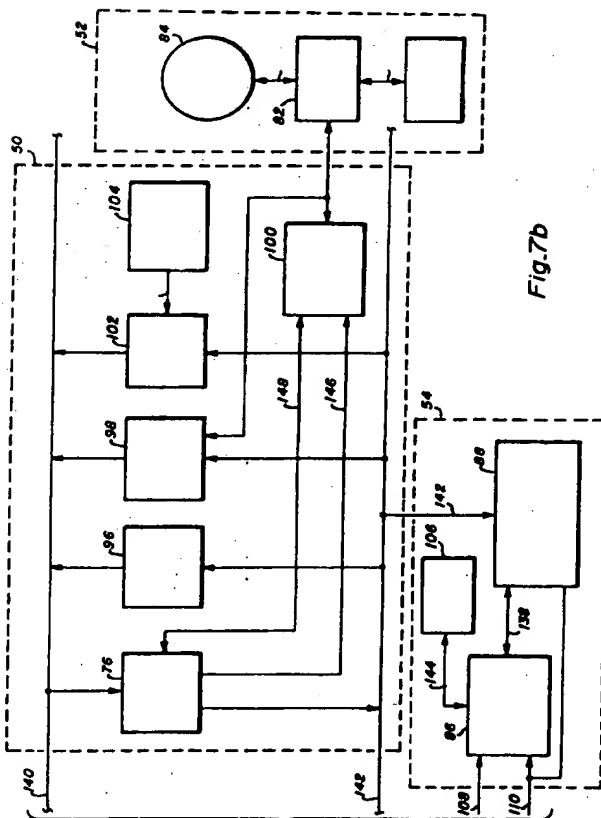


Fig. 7b

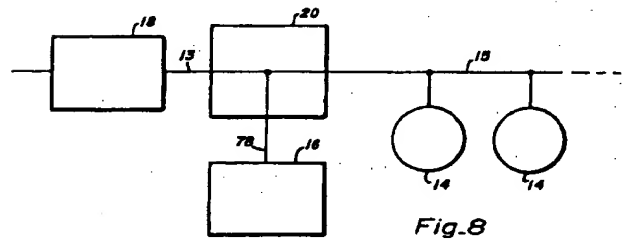


Fig. 8

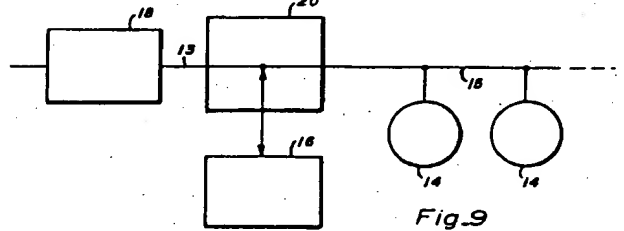


Fig. 9

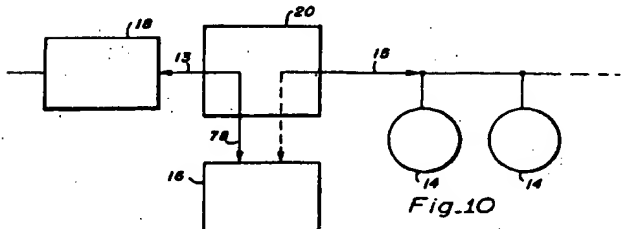


Fig. 10

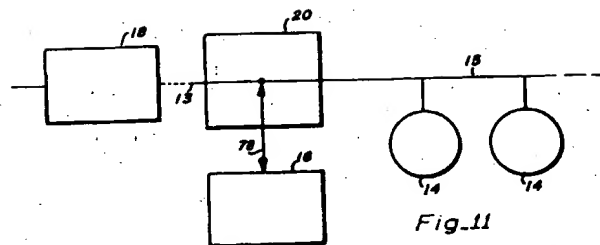


Fig. 11

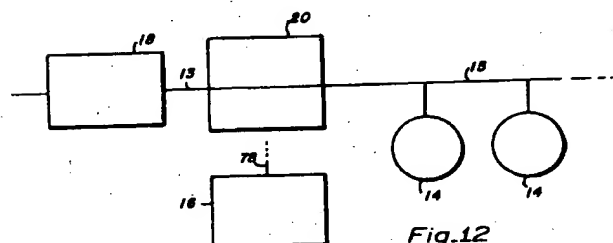


Fig. 12

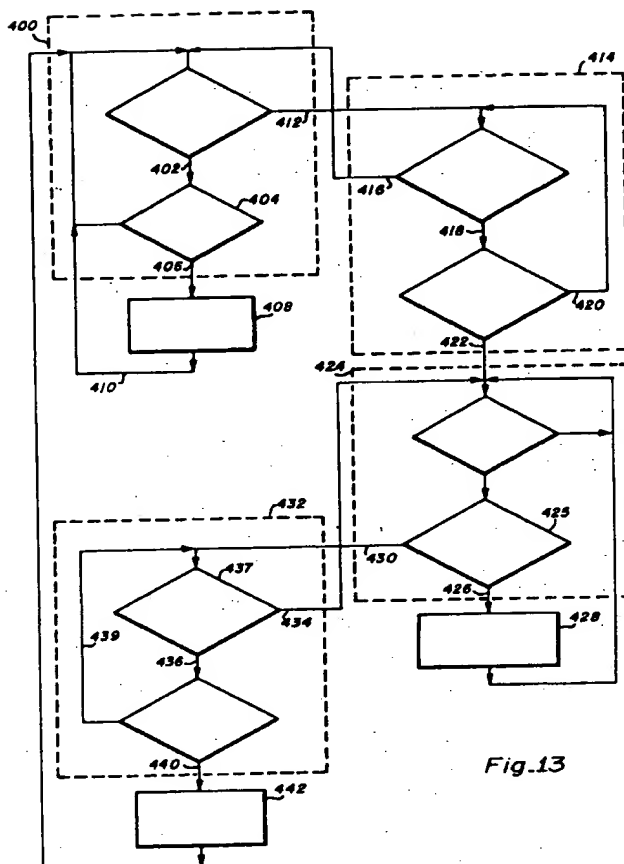


Fig. 13

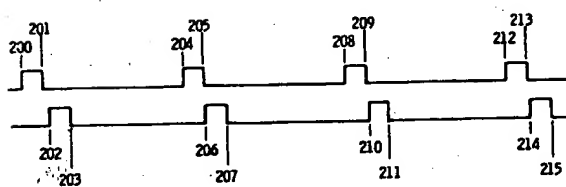


Fig. 14

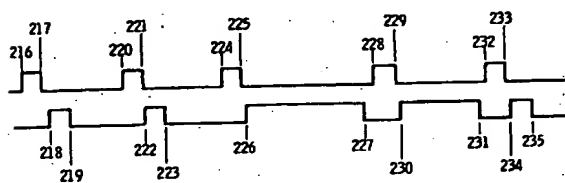


Fig. 15

第 1 頁の続き

⑦発 明 者 ジェシイ・インゲブライト・スタムネス
アメリカ合衆国カリフォルニア州サニーベール・マンダリン・ドライブ1227

⑧発 明 者 リン・ウエルドン・ウイットフィールド
アメリカ合衆国カリフォルニア州サン・ホーゼ・パリ・グレン・ドライブ6150

手続補正書(自発)

昭和55年6月30日

特許庁長官 殿

1. 事件の表示

昭和55年特許願第 75397 号

2. 発明の名称

ディスク・キャツシュ・サブシステム

3. 補正をする者

事件との関係 出願人
名称(氏名) メモレツクス・コーポレーション

4. 代理人

住 所 東京都千代田区永田町1丁目11番28号 相互第10ビルディング4階
氏 名 (7101) 弁理士 山崎行造
同 所
(8001) 弁理士 高石橘馬

5. 補正命令の日付

昭和 年 月 日

6. 補正の対象

明細書の序言
(内容に変更なし)

7. 補正の内容

別紙のとおり



特開昭55-164958(22)

手続補正書(自発)

昭和55年7月11日

特許庁長官 殿

1. 事件の表示

昭和55年特許願第 75397 号

2. 発明の名称

ディスク・キャツシュ・サブシステム

3. 補正をする者

事件との関係 出願人
名称(氏名) メモレツクス・コーポレーション

4. 代理人

住 所 東京都千代田区永田町1丁目11番28号 相互第10ビルディング4階
氏 名 (7101) 弁理士 山崎行造
同 所
(8001) 弁理士 高石橘馬

5. 補正命令の日付

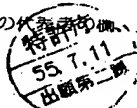
昭和 年 月 日

6. 補正の対象

願書面中特許出願人の代表者名、正式図面、
委任状及び向状文

7. 補正の内容

別紙のとおり



THIS PAGE BLANK (USPTO)